# PATENT ABSTRACTS OF JAPAN

(11)Publication number:

2000-050148

(43) Date of publication of application: 18.02.2000

(51)Int.CI. H04N 5/232 H04N 5/222

(21)Application number: 10-210906

(71)Applicant: HITACHI DENSHI LTD

(22)Date of filing: 27.07.1998 (72)Inventor: ABE SHIGETO

## (54) TELEVISION CAMERA DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To obtain a device capable of coping with changes of the number of pixels of a frame image, etc., by a small scale circuit and simplified structure of the device by making a field programmable logic device (FPGA) to be constituted as video signal processing circuit structure according to detected sampling clock rate. SOLUTION: Clock rate of a video signal according to the changes of the number of pixels of the frame image or aspect ratio of a CCD is detected and detected information is outputted to a ROM selecting circuit 24 by a CPU part 5. Pieces of control data corresponding to each clock rate of the video signal are stored in ROMs 21 to 23, these pieces of the control data are outputted from each of the ROMs 21 to 23 and are inputted in the ROM selecting circuit

24. Structuring of logic for changing a filter coefficient and the number of taps, etc., of a digital filter is performed by selecting the control data from the ROMs 21 to 23 in this way by this device. Thus, internal logic st

ROMs 21 to 23 in this way by this device. Thus, internal logic structure of the FPGA 20 is structured to be suitable for each clock rate.



[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

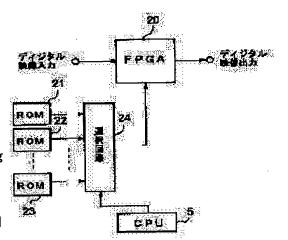
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



# Copyright (C); 1998,2000 Japanese Patent Office

(19) 日本国特許庁 (JP)

# (IZ)公開特許公報(A)

(11)特許出願公開番号

(P2000-50148A) (43)公開日 平成12年2月18日(2000.2.18) 梅開2000-50148

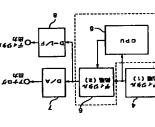
デーマコート"(参考)	Z 5C022	2	
	5/232	5/222	
1 4	H 0 4 N		
職別記号			
	5/232	5/222	
(51) Int. C1.7	H04N		

	審査請求 未請求 請求項の数2	(全6月)
(21) 出題番号	特夏平10-210906	(71)出題人 000005429
(22) 出顧日	平成10年7月27日(1998.7.27)	
		1.4. 完约名 門 10. 五人 東京都小平市御幸町32番地 日立電子株式
		会社小金井工場内
		Fターム(替英) 5C022 AB61 AB65 AC42 AC69

(54) 【発明の名称】 アフアジョンカメラ被職

(21) [理約]

ランステムにおいて、CCD画祭数又はフレーム画像の アスペクト比の切換に応じて最適な映像信号処理を行う ための信号処理回路を、交換ユニットを用いることや回 【昳題】 ディジタル信号処理を行うテレビジョンカメ 络を並列にして回路規模を増大させることなく実現す CCDクロックレートでA/D奴徴し たディジタル映像信号の処理回路として、ROMロード タイプのFPGAを用い、CCD回鉄数指へはフレーム 画像のアスペクト比に応じてFPGA内のディジタル値 号処理回路を変更する。 [解決手段]



・レートに応じた映像信号処理回路構成にすることを特 **す)の対応する回路構成情報を避択し、鮫強択された回** 路棒成価級を前配FPGAに与えることで、前配FPG ・レートを検出し、前配検出されたサンプリング・クロ - ルドプログラセブル論理デバイス(以下FPGAと称 Aの回路構成を前配検出されたサンプリング・クロック 【請求項1】 映像信号処理を行うテレビジョンカメラ **桜間において、前配映像信号のサンプリング・クロック** ック・レートに応じて映像信号処理回路を構成するフィ

情求項2】 映像信号処理を行うテレビジョンカメラ ・レートを検出する手段と、映像信号処理を行うための 回路を構成するフィールドプログラマブル精理デバイス (以下FPGAと称す) と、前配FPGAのための回路 構成情報を配徴する手段と、前配検出されたサンプリン ゲ・クロック・レートに応じた回路構成情報を前記記憶 手段から前配FPGA〜出力するよう制御する手段とを 有し、前配FPGAは前配後出されたサンプリング・ク ロック・レートに応じた映像信号処理回路を構成するこ 装置において、前配映像信号のサンプリング・クロック とを称類とするテレビジョンカメラ滋園。

0001

[発明の詳細な説明]

画像のアスペクト比の変更若くはファーム画像の画楽数 の変更に対応して撮像可能なテレビジョンカメラ装置の |発明の属する技術分野||本発明はディジタル信号処理 を行うテレビジョンカメラ装置に関し、特に、フレーム 改良に関するものである。

0002]

**たるCCD(チャージ・セップルド・デバイス) 敬儀群** 子においては、その技術的遺歩に伴い、撮像可能なフレ 一ム画像の画葉数が年々向上している。また、放送局等 始えている。そのため、このように複数縮類の画紫数や ファーム画像のアスペクト比に対応して凝像可能なテァ **(従来の技術】近年、テレビジョンカメラ装置に使用さ** において、フレーム画像の画紫数やアスペクト比がそれ ぞれ異なるテレビジョンカメラを複数台使用する場合が ビジョンカメラシステムの能取が高まっている。

[0003] 特に、画面の縦横比(アスペクト比)を従 ラ装置としては、4:3と16:9のアスペクト比の切 [0004] ここで、4:3と16:9のアスペクト比 変える方法と、メモリを用いてそのメモリへの映像信号 とその観み出しのクロック・レートとを異ならせる方法 来の4:3か516:9にするワイド化のための技術が 落んに取り入れられており、放送用のテレビジョンカメ 刃り替えを行う方法としては、CCDの甑み出し方法を ゲータの皆き込みクロック・レート(クロック周依数) り替え機能が特に求められるようになってきている。

特徴2000-50148

3

的なCCD駆動函数数(ヤンプリング・クロック・ワー ト)を変化させる必要がある。

ラ装置において、CCD撮像栞子を有するカメラヘッド から出力された映像信号を入力して映像信号処理するC 個号処理をアナログ個号処理によって行う場合は、CC D協像報子から出力されるファーム国像の国際数が変え られたとしても、そのアナログ映像信号処理回路の回路 棒成の変更は必要とならなかった。すなわち、ディジタ **小信号処理の協合では、クロックレートが変更されるこ** 映像信号処理がアナログ信号処理であれば、複数のクロ ックレートに広じることで共通化が可能なアナログ信号 CU(セメシ・コントローグ・コーシト)が、 九の取録 【0005】この従来の技術を用いたテレビジョンカメ とでそれに応じて回路構成を変更する必要が生じるが、 処理回路構成とすることができるため、回路構成上、 数的簡単に対応でき問題はなかった。 ន

数とするアレアジョンカメル装置。

[0006] しかし近年、映像信号処理においてもディ ジタル値号処理化がすつ勢であり、 テレビジョンカメラ 装置に用いられる信号処理回路もディジタル化されるよ うになってきている。 ន

ヘッド街においてファーム画像の画球数やアスペクト比 が変わることがあると、以下の問題が生じる。即ち、放 よった、映像信号におけるピートや折り返し雑音の発生 られる信号処理回路もディジタル化された場合、カメラ **治用テレアジョンカメラ等で、最高級の画質が求められ** るテレビジョンカメラ装置では、映像品質を低下させる を防ぐため、ディジタル信号処理を行う際は、必要なA /口変換(アナログ・トゥ・ディジタル変換)のクロッ 【0001】そのため、テレビジョンカメラ装置に用い クレートを、CCD類像群子のサンプリング・クロック ಜ

**複数特性が変わってしまうため、ディジタル信号処理を** 6、佰中処理フートにけるたは、倒えば、レメガタの囮 行うテレビジョンカメラシステムの場合、フレーム画像 の画解数、描くは、ファーム画像のアスペクト比が歿え られると、その変更に合わせた処理回路の変更が必要と 【0008】さらに、ディジタル信号処理を行うこと ・レートに合わせる方法が用いられる。

の画禁数又はアスペクト比に合わせて、映像信号処理を **必要が有り、回路規模や装置規模が膨大になる欠点を有** 行うユニットの入れ替えが必要となり、その入れ替えが 可能となるような回路構成および装置構造を用いなけれ ばならない。 あるいは、各信号処理レートにそれぞれ応 【0009】したがって従来の方法では、フレーム画像 じた複数のディジタル映像信号処理回路を具備しておく \$

[発明が解決しようとする課題] 以上のように従来のデ イジタル信号処理を行うカメラシステムでは、使用する CCDに応じたフレーム画像の画珠数又はアスペクト比

ಜ

**海がある。しかしながら、いずれの方沿においても映**物

が変わると、信号処理回路の変更等が必要になる。

【0011】したがした紋米の七ຠかれ、CCDに朽じ **ユニットを入れ替えるか、各値号処理レートにあった複** 数のディジタル回路を具備しておく必要性が生じ回路規 たフレーム画像の画茶数又はアスペクト比に合わせて、 慎が膨大になる欠点を有した。

な回路やより簡単な装置構造やファーム画像の画葉数又 はアスペクト比の変更に対応できるデジタル映像信号処 理回路を有するテレビジョンカメラ装置の実現を目的と 【0012】本発明は上記の联題を解決し、より小規模

으

[0013]

トに広じた映像信号処理回路構成になるようにしたもの [映題を解決するための手段] 本発明は上述の韓題を解 決するために、映像個号処理を行うテレビジョンカメラ 装置において、前配映像信号のサンプリング・クロック ・レートを検出し、映像信号処理回路を構成するフィー ルドプログラマブル倫理デバイス(以下FPGA)の回 路構成情報が前記後出されたサンプリング・クロック・ アートに応じて踏択され、蛟踏択された回路構成情報が 前配FPGAに館み込まれるようにすることで、前配F P G A It 哲配核出されたサンプリング・クロック・レー

配配値手段から前配FPGAへ出力するよう制御する手 飴理デパイス(以下FPGA)と、前記FPGAのため プリング・クロック・レートに応じた回路構成情報を前 グ・クロック・レートを検出する年段と、映像信号処理 段とを有し、前配FPGAは前配検出されたクロックレ トに応じた映像信号処理回路構成になるようにしたも 【0014】また本発明は、哲配映像信号のサンプリン を行うための回路を構成するフィールドプログラマブル の回路構成情報を配徴する手段と、前配検出されたサン

[0015]

2.処理が拡される。アナログ储号処理回路2で処理され た映像信号は、A/D変換回路3に入力され、CCD1 の啓覧グロシケ 7回 10 クロック・フートかわり トサンプ D) 1 からの出力映像信号はアナログ信号処理回路 2 に [発明の実施の形態] 本発明に関わるテレビジョンガメ ラ装置の一実施例のプロック構成を図1に示し、以下に 入力され、アナログ偕号処理回路2で増幅処理等の必要 の図を用いて詳しく説明する。CCD撮像囃子(CC リングされ、ディジタル信号に変換される。

4

D 1の撮像されるフレーム画像の画茶数又はアスペクト [0016] A/D変換回路3でディジタル化された映 象信号は、映像信号処理の内、CCD1において撮像さ **れたフレーム画像の画檠数又はアスペクト比によっては** 心理回路の構成を変更する必要のない信号処理を行うた ジタル個字処理回路4で行われる映像個号処理は、CC めのディジタル信号処理回路4~入力される。 このディ

なが変更されても、その変更に係わらず共通に行われる 映像信号処理である。

れる。さらにこの信号処理された映像信号はCPU部5 ンプリング・クロック・レートを検出し、その検出され 【0017】 ディジタル信号処理回路4〜入力された映 に入力される。CPU部5は、入力された映像信号のサ 像信号は、所定の映像信号処理が施された後、後述のF PGAで構成されたディジタル信号処理回路6に供給さ たレートを表すデータを保持する。 【0018】ディジタル信号処理回路6は、上配CPU **かに枯んへ慙御により、CCD1を破破されたソフー**女 画像の画素数又はアスペクト比に応じたディジタル信号 処理をおこなう。このディジタル信号処理回路6により 処理が施された信号は、D/A変換(ディジタル・トゥ ・アナログ変数) 回路1 やディジタル1 /F (インタフ ェース)回路8を介し、テレビジョンカメラ装置の出力 信号としてそれぞれアナログ映像出力信号又はディジタ 的5からの上的後出されたソートに応じ保存されたゲー ル映像出力信号とされて後段(図示せず)〜出力され

「ROM (リード・オンリ・メモリ) ロードタイプ (あ メモリ)タイプとも称す)」と呼ばれるFPGAの権禍 と、このタイプのFPGAを用いた、CCDのフレーム 画像の画来教又はアスペクト比に対応した信号処理回路 るいはSRAM (スタティック・ランダム・アクセス・ [0019] ここで、FPGAの種類の一つである、 変更の方法について、簡単に説明する。

ら制御データがロードされるための命令信号が入力され ROMからのデータを読み込むロード回路部32より権 とを有し、このスイッチングトランジスタのスイッチ状 極が制御されることでその制御に応じて韓国回路配線が たときに、このRAM部31に、例えば、外付けされた [0020] ROMU—ドタイプのFPGAは、その内 多数の輪理回路セルと配線用スイッチングトランジスタ 再構築されるロジックセルアレイ街30と、このトラン ジスタスイッチのスイッチ状態を慰御するための勧御デ ータが配憶されるRAM部31と、電源投入時や外部か 部プロック構成例を説明するための図4に示すように、 成される。 ဓ

回路は、外付けROMから巻き込まれるデータが変えら 【0021】このようなFPGAで構成された信号処理 れることで、自由に論理回路構成が変更できることにな

クロックレートにそれぞれ対応した論理回路を構成する ための制御データが替き込まれたROMをテレビジョン より、このROMに替き込まれた制御データの内一通り 50 の制御データを、検出された映像信号のクロックレート し、あらかじめ、複数の、すなわちn通りの映像信号の カメラ装置に搭載する。そして、CPU部からの制御に [0022] 本発明では、このFPGAの特徴を利用

PGAにロードされることで、CCDのファーム画像の 画業数又はアスペクト比に適したディジタル信号処理を 行うための映像信号処理回路を実現するための論理回路 こ応じて뛜択する。そして、鹽択された制御データがF 構成が、FPGAの内部に構成可能となる。

力する。ROM選択回路24は複数のROMが接続され 数に基づき、n個のROM2 1~ROM2 3の内、検出 は、その婦択された制御データがFPGA20にロード **はアスペクト比の変更に応じた、映像信号のクロックレ** 中の名クロックレートにそれぞれ対応する制御データが 配信されており、それら制御データがそれぞれのROM から出力されてROM強択回路24~入力される。RO M選択回路24では、CPU部5から入力された検出情 されたクロックレートに対応した制御データが配億され ているROMから出力された制御ゲータを確択してFP GA20~出力する。そうすることで、CCD画素数又 **はファーム画像のアスペクト比に強した制御ゲータの入 ブロックの構成例を示した図3を用いて、その動作を説** ートを検出し、その検出情報をROM選択回路24〜出 る。それらn個のROM21~ROM23には、映像信 **したKOMの出力が始依されるのか、 アフアジョンセメ** CPU街5とディジタル信号処理回路6とからなる回路 明する。CPU部5はCCDのファーム画像の画骈教文 ラ装置の電源投入時や、FPGA20に対する制御デー タの耳ロードを指示するロード命令が得られたときに 【0023】以下、図1において点様で囲われている、

【0024】ここで、例えば、ディジタル映像信号処理 (A) に示すようなフィルタリング特性を示すディジタ **ルフィルタ回路が、ディジタル映像信号処理回路 6 でも** ちいられていたとする。ここで、クロックレートが変換 回路6の回路変更を行わずに、映像信号のクロックレー ジタルフィルタ棒柱の変化について説明する。 クロック て、ディジタル映像信号処理回路 6 で実現しているディ レート変更前の映像信号に対しては、例えば、図5の されて、例えば、クロックレートが大きくなる場合は、 図5の(B)に示すように、その特性が変化してしま ト、すなわちクロック周波数が変更された場合につい

【0025】従って本発明では、映像値号のクロックレ 一ト弦換がおこなわれ、その変換の後においても、クロ ジタルフィルタの特性を、ディジタル映像信号処理回路 ルタ係数値や、タップ数などを変更することで、同一の ックレート変数前のディジタルフィルタ特性と同じディ 6で実現するためには、そのディジタルフィルタのフィ フィルタ作件が得られるようにする。

タを選択することで、FPGA20の内部階理回路構成 [0026] 本発明では、上述のディジタルフィルタの フィルタ係数値や、タップ数などの変更を行うための鮨 理回路構成を、ROM21~ROM23からの制御ゲー

く、CCDのファーム画像の画楽数又はアメペクト比に がそれぞれのクロックレートに適した構成となるため、 ユニットの交換や回路規模の大幅な増大を招くことな 適したディジタル信号処理が可能になる。

いの味核倒は、牧泌用アフアジョンガメラ被倒によくみ ラ装置に本発明を用いた実施例である。ここで示すテレ ドが用いられる場合に、一つのCCUに、異なる画球数 のCCDを有するカメラヘッドが複数接続され、それら ビジョンカメラシステムにおいては、複数のカメラヘッ (以下CCU) とに分離される形式のテレアジョンカメ カメラヘッドからCCU〜出力される映像信号同士のク [0027] 次に、本発明の第2の実施例を説明する。 られる、カメラヘッドとカメラコントロールユニット ロックレートが、異なる場合がある。

レートの映像信号がそれぞれ入力され、入力された映像 信号の中から弱択された映像信号について映像信号処理 を行う協合に対しても、その脳状された映像信号に関す るCCDのファーム画像の画架数又はアスペクト比に通 したディジタル信号処理に切り替えてCCUでその信号 【0028】この実施例は、CCUへ、異なるクロック 処理を行うことを可能にするものである。

ន

ム画像の画紫数又はアスペクト比によっては処理回路の 構成を変更する必要のない信号処理を行うためのディジ 【0029】以下、この実施例の構成と動作とを、図2 ヘッド10において上近の第一の映着例と回換、CCD 1から出力された映像信号はアナログ信号処理回路2で 増幅等の必要な処理を加された後、A/D変換回路3に 入力され、CCD慇萄クロックレートと同じクロックレ **ートやサンプリングされることたディジタグ値中に複数** される。A/D変換回路3でディジタル化された映像僧 を用いて説明する。10はカメラヘッドで、このカメラ 中に、駅像街中処理の内、CCD1の植像されるソアー タル個号処理回路4~入力される。 ဓ္က

[0030] ディジタル信号処理回路4で信号処理され される。 ディジタル信号伝送ユニット13で多重された 信号は、カメラヘッド10から出力されて、CCU11 出力された映像信号は、CCU画禁数及びアスペクト比 情報等を含むCPU部12から出力されるデータ信号と 共に、ディジタル信号伝送ユニット13に入力され多量

[0031] SOCCU117th, カメラヘッド10か ちの信号を入力する。さらに、カメラヘッド10′ある CCU11のディジタル信号受信ユニット14に入力さ いはカメラヘッド10"からも同様な信号を入力する。 それら複数のカメラヘッドから伝送されてきた信号は、 へ伝送される。 \$

は、複数のカメラヘッドから入力された信号の内、所定 の信号を選択して、その選択された信号からCPU街1 【0032】このディジタル信号受信ユニット14で 2からのデータ信号と、映像信号とを分離する。そし 20

€

9

[図3]

イジタル信号処理回路6の構成は、図3に示した第一の て、分離されたデータ信号をCPU街15〜出力し、分 雄された映像信号をROMロードタイプFPGAを用い たディジタル信号処理回路6〜出力する。なお、このデ そして、このディジタル信号処理回路6は、CPU桁1 実施例のディジタル信号処理回路6と全く同じである。

【0033】このように処理されたディジタル映像信号 17はD/A変換器7でアナログ映像出力信号に変換さ ジタル映像出力信号として後段 (図示せず) へ出力され れる、あるいはディジタルI/F回路8を介して、ディ 像信号のクロックレートに応じた信号処理を行う。

5の制御により、上配選択されたカメラヘッドからの映

2

【0034】以上のように、従来のシステムで必要とし 回路機成を膨大なものとすることなく、同一のCCUに ることが可能となり、カメラシステムの運用性を大幅に たユニットの入替え機能や、複数の回路を並列に設けて 異なる画索数のCCDをもつカメラヘッドを複数接続す 向上させることができる。

ジタルシグナルプロセッサ)を代わりに用いても、同様 [0035]なお、以上の説明ではROMに格納された ゲータに粘*払*き、CCDの画搽数に適したゲィジタル値 号処理を行う繋子にFPGAを用いたが、DSP(ディ の効果得ることが可能である。

CCDの画架数又はフレーム画像のアスペクト比に適し かつ、波管の小型化・低コスト化と共に、システムの運 たディジタル信号処理を簡単に行うことが可能となり、 【発明の効果】以上説明したように、本発明によれば、 用性向上を図ることができる。

[図1] 本発明のテレアジョンカメラ装間の一実権例の [図面の簡単な説明]

【図2】本発明のテレビジョンカメラ装置の他の一実施 プロック構成を示す図

**【図3】本発明に係わるディジタル信号処理回路のプロ** 例のプロック構成を示す図 ック権成例を示す図

[図4] ROMロードタイプのFPGAの内部プロック

権成例を示す図

[図5] ディジタルフィルタの周波数特性を説明するた

[ 符号の説明] あの図

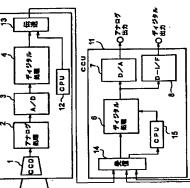
号処理回路、 7:D/A変換回路、 8:ディジタル 5, 12, 15:CPU勘、 6, 16:ディジタル信 ナログ信号処理回路、4:ディジタル信号処理回路、 2:A/D效数回路、 1:CCD協像報子、 インタフェース回路。

[⊠4] RAME ディジタル 指置(2) [<u>8</u>] ナイジシグ 容量 (1)

**ポスキャ**コ

[<u>8</u>2]

电池 12~CPU [図3]



でもだおが ¥0,2